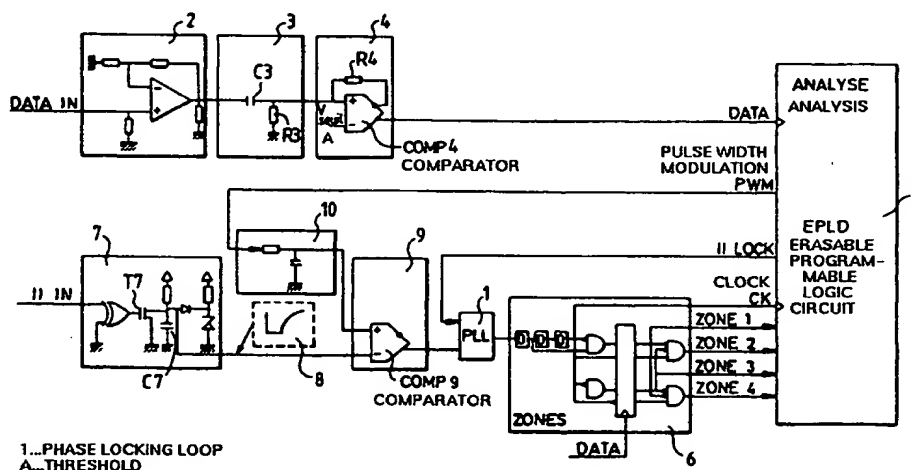


(51) Classification internationale des brevets ⁷ : H04L 7/033	A1	(11) Numéro de publication internationale: WO 00/07324
		(43) Date de publication internationale: 10 février 2000 (10.02.00)

Publiée
Avec rapport de recherche internationale.

The diagram illustrates a clock recovery method. It begins with a 'DATA IN' signal entering a series of comparators. The first comparator (COMP 4) compares the input signal with a threshold 'A' (indicated by a dashed line). The output of COMP 4 is fed into a second comparator (COMP 9). The output of COMP 9 is then processed by a PLL (1). The PLL output is connected to a 'PULSE WIDTH MODULATION PWM' block, which in turn feeds into an 'ANALYSE ANALYSIS' block. The 'ANALYSE ANALYSIS' block is identified as an 'EPLD ERASABLE PROGRAMMABLE LOGIC CIRCUIT'. This block outputs a 'LOCK' signal and a 'CLOCK CK' signal. The 'CLOCK CK' signal is used to clock a 'ZONES' block, which outputs four signals: 'ZONE 1', 'ZONE 2', 'ZONE 3', and 'ZONE 4'. The 'ZONES' block also receives a 'DATA' input. A legend at the bottom left specifies: '1...PHASE LOCKING LOOP' and 'A...THRESHOLD'.



(57) Abrégé

La présente invention concerne un procédé de récupération d'horloge lors de l'échantillonnage de signaux de type numérique, l'horloge étant générée à partir d'une boucle un verrouillage de phase ou PLL (1) qui multiplie une fréquence donnée par un nombre entier. Ce procédé comporte une étape de comparaison de la position relative des signaux par rapport à l'horloge de manière à déterminer si un type de transitions choisi de l'horloge est en phase avec le même type de transitions de signaux, en élaborant (6) sur une période de l'horloge plusieurs zones, une zone correspondant au type de transitions choisi, en analysant (5) les transitions des signaux par rapport aux transitions montante et descendante de l'horloge, en accumulant dans la zone correspondante les résultats d'analyse et, en déterminant (10,9) en fonction des accumulations si une modification au non de la fréquence et/ou de la phase de l'horloge d'échantillonnage doit être réalisée. Ce procédé s'applique aux signaux issus des cartes graphiques.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

PROCEDE DE RECUPERATION D'HORLOGE LORS DE L'ECHANTILLONNAGE DE SIGNAUX DE TYPE NUMERIQUE

La présente invention concerne un procédé de récupération
5 d'horloge lors de l'échantillonnage de signaux de type numérique, plus
particulièrement un procédé permettant de récupérer l'horloge lors de
l'échantillonnage de signaux vidéos issus d'un dispositif informatique tel
qu'une carte graphique.

10 L'échantillonnage de signaux vidéos issus d'une source
analogique est bien connu. Il utilise le théorème de Shannon-Nyquist.
D'après ce théorème, si la bande passante d'un signal est limitée à un
domaine de fréquence tel que $[0, F_{\max}]$, il est nécessaire et suffisant
d'échantillonner ce signal à une fréquence minimale $2 \times F_{\max}$ pour être
15 capable de le reconstruire à partir de ces échantillons. Cette contrainte se
traduit par l'introduction de filtres passe-bas qui ont pour but de limiter le
spectre des signaux avant échantillonnage. Dans ce cas, la phase du
signal d'horloge n'a pas d'importance dans le processus
d'échantillonnage. En effet, un même signal échantillonné par deux
20 horloges de même fréquence mais déphasé contient les mêmes
informations à un retard constant près.

Il n'en est pas de même lorsque l'on doit échantillonner des
signaux vidéos issus d'un dispositif informatique, à savoir des signaux
25 d'origine numérique. En effet, le spectre de ces signaux est très large et
ils sont destinés à être visualisés avec une résolution la plus élevée
possible. En conséquence, la bande passante ne doit pas être limitée, car
il y aurait une perte de finesse. Or, si l'on doit injecter des signaux de ce
type dans un dispositif qui comporte un étage d'échantillonnage, l'on est
30 confronté aux problèmes suivants :

- Si l'on filtre le signal incident pour limiter sa bande passante et satisfaire aux critères de Nyquist, la réponse du filtre à des signaux de type numérique présentant des transitions raides entraînera des suroscillations très préjudiciables à la netteté des caractères.

5 • Si l'on filtre peu le signal incident pour éviter la suroscillation, l'atténuation apportée aux composantes fréquentielle sera insuffisante pour éviter un repliement de spectre également préjudiciable.

 • Si l'on échantillonne sans filtrage préalable le signal incident, il est impératif d'adopter non seulement la fréquence exacte qui
10 a servi à générer le signal, mais également une phase d'échantillonnage correspondant au milieu de chaque palier.

Le problème est d'autant plus complexe qu'il n'existe pas de standard fixe prédéfini dans ce domaine. En effet, pour l'affichage de
15 signaux vidéos issus d'une carte graphique, seuls sont définis le nombre de pixels actifs par ligne de la source et le nombre de lignes actives par image de la source. En conséquence, le nombre total de pixels par ligne, le nombre total de lignes ainsi que la fréquence-image et la fréquence-pixel ne sont pas normalisés. De même, la phase du premier pixel actif
20 par rapport au front de l'horloge de synchronisation n'est pas définie, ni en ligne ni en image.

En conséquence, la présente invention a pour but de proposer un procédé permettant de récupérer de façon automatique les paramètres
25 de fréquence et de phase de l'horloge d'échantillonnage dans le cas de l'échantillonnage de signaux de type numérique, plus particulièrement de signaux vidéos issus d'un dispositif de type informatique.

La présente invention s'appuie sur le fait que pour être
30 correctement échantillonnée, une information entrante doit être en phase avec un des fronts, plus particulièrement le front descendant de l'horloge

d'échantillonnage, la réalisation de ces critères en différents points d'une même ligne impliquant une valeur correcte de la fréquence.

En conséquence, la présente invention a pour objet un procédé
5 de récupération d'horloge lors de l'échantillonnage de signaux de type numérique, l'horloge d'échantillonnage étant générée à partir d'une boucle à verrouillage de phase ou PLL qui multiplie une fréquence donnée par un nombre entier ou rang de division, caractérisé en ce qu'il comporte une étape de comparaison de la position relative des signaux de type
10 numérique par rapport à l'horloge d'échantillonnage, de manière à déterminer si un type de transition choisi de l'horloge d'échantillonnage est en phase avec le même type de transition des signaux de type numérique,

- En élaborant sur une période de l'horloge d'échantillonnage
15 plusieurs zones, une zone correspondant au type de transition choisi,
- En analysant les transitions des signaux de type numérique par rapport aux transitions montante et descendante de l'horloge d'échantillonnage,
- En accumulant dans la zone correspondante les résultats
20 d'analyse et,
- En déterminant en fonction des accumulations si une modification ou non de la fréquence et/ou de la phase de l'horloge d'échantillonnage doit être réalisée.

25 Selon une autre caractéristique de la présente invention, l'étape d'analyse est précédé par une étape de mise en forme des signaux de type numérique en signaux logiques.

De préférence, le type de transition choisi est la transition descendante.

30 Selon un mode de réalisation préférentiel pour réaliser l'analyse des transitions, on élabore quatre zones avec une zone correspondant à

une transition montante, une zone correspondant à une transition descendante, une zone correspondant à un palier haut et une zone correspondant à un palier bas, l'analyse étant réalisée à l'aide de deux fenêtres correspondant respectivement aux transitions montante et descendante de l'horloge d'échantillonnage.

De préférence, les résultats des accumulations sont exploités de la façon suivante :

- a) Toutes les informations sont dans la zone correspondant au type de transition choisi, les signaux de type numérique sont en phase et en fréquence avec l'horloge d'échantillonnage ;
- b) Les informations sont dans deux zones non-adjacentes, il y a une erreur de fréquence entre les signaux de type numérique et l'horloge d'échantillonnage ;
- c) Les informations sont dans deux zones adjacentes ou dans une seule zone différente de la zone correspondant au type de transition choisi, il y a une erreur de phase entre les signaux de type numérique et l'horloge d'échantillonnage. Les valeurs relatives dans deux zones différentes ou la valeur des informations dans une zone différente de la zone correspondant au type de transition choisi déterminent alors le sens et l'amplitude de la correction de phase ou de fréquence à appliquer sur l'horloge d'échantillonnage.

La présente invention concerne aussi un dispositif pour la mise en œuvre du procédé mentionné ci-dessus, ce dispositif comportant essentiellement un circuit électronique programmable effaçable recevant les signaux de type numérique en entrée ainsi qu'un circuit de génération de fenêtre envoyant des signaux déterminant la position des différentes zones sur le circuit électronique programmable effaçable, ledit circuit électronique programmable effaçable délivrant en sortie un signal d'erreur

de phase envoyé sur un circuit à modulation de largeur d'impulsion dont la sortie agit sur la PLL.

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture faite ci-après d'un mode de mise en œuvre préférentiel avec référence aux dessins ci-annexés dans lesquels :

La figure 1 est un synoptique d'un dispositif conforme à la présente invention,

La figure 2 représente les différents tests réalisés conformément au procédé de la présente invention,

La figure 3 représente un synoptique du circuit logique programmable effaçable ou EPLD, et

La figure 4 est une représentation de la machine d'état permettant d'implémenter dans le circuit logique programmable effaçable ou EPLD le procédé de la présente invention.

Pour simplifier la description dans les figures, les mêmes éléments portent les mêmes références.

Le circuit représenté à la figure 1 permet d'analyser la position des informations entrantes, à savoir des signaux de type numérique DATA IN par rapport à l'horloge CK issue de la boucle à verrouillage de phase ou PLL1. Pour mettre en œuvre cette analyse, les signaux de type numérique DATA IN sont envoyés sur un circuit de réception 2 comportant de manière connue un amplificateur. En sortie de ce circuit 2, les signaux de type numérique sont mis en forme pour obtenir des signaux logiques, plus particulièrement des signaux de type TTL. Les circuits de mise en forme comportent plus particulièrement un différentiateur 3 constitué de manière connue d'une capacité C3 et d'une résistance R3. La capacité C3 est montée en série entre la sortie du circuit de réception 2 et la sortie du différentiateur 3, la résistance R3 étant montée entre le point de sortie du différentiateur 3 et la masse. Le différentiateur est suivi d'un circuit de mise en forme proprement dit

formé essentiellement d'un comparateur COMP4 recevant sur son entrée positive la sortie du différentiateur 3 et sur son entrée négative une tension de comparaison V_{seuil} fixée à une tension positive proche de OV. D'autre part, pour éviter un déclenchement intempestif du comparateur en présence de signaux issus du différentiateur dont le niveau est égal à V_{seuil} , la sortie inversée du comparateur COMP4 est rebouclée par l'intermédiaire d'une résistance R4 sur l'entrée positive dudit comparateur. Les signaux logiques DATA issus du circuit de mise en forme 4 sont envoyés sur un circuit d'analyse ou circuit logique programmable effaçable EPLD 5. Ce circuit sera décrit en détail ci-après.

D'autre part, la boucle à verrouillage de phase ou PLL 1 reçoit un signal de synchronisation H IN. Ce signal de synchronisation passe à travers un circuit de réception 7 de type connu comportant essentiellement un transistor FET T7 et une capacité C7 montée en parallèle sur la sortie dudit transistor. De ce fait, le signal H IN charge la capacité à travers ledit transistor T7 et on obtient en sortie un signal tel que représenté en 8 avec le front montant du signal, image de la charge de la capacité ayant une forme exponentielle. Ce signal 8 est envoyé en entrée d'un circuit de mise en forme 9 constitué par un comparateur COMP9. Ce signal 8 est appliqué sur la borne négative du comparateur tandis que la borne positive reçoit un signal issu d'un circuit de filtrage 10 qui reçoit en entrée un signal PWM pour "Pulse Width Modulation" dont l'obtention sera expliquée ultérieurement. Ainsi une variation du signal vers l'entrée positive du comparateur COMP9 permet de retarder le signal servant de référence à la PLL1 et par la même de modifier la phase de l'horloge CK. La PLL1 est un circuit classique intégrant un comparateur de phase et un oscillateur contrôlé en tension ou VCO. En sortie de la PLL1 est prévu un circuit 6 permettant d'élaborer les zones d'analyse, à savoir les fenêtres. Ce circuit pourrait être intégré dans l'EPLD 5. Le circuit 6 est un circuit constitué de circuits à retard D et de différentes portes logiques permettant de générer des fenêtres FEN1 et

FEN2 en logique combinatoire à partir de l'horloge CK et de réaliser ainsi les quatre zones d'analyse, à savoir la zone 1 qui correspond à un palier haut, la zone 2 qui correspond à un palier bas, la zone 3 qui correspond à une transition montante et la zone 4 qui correspond à une transition descendante, comme représenté dans la partie haute de la figure 2. En fait, de la largeur des fenêtres FEN1 et FEN2 centrées autour des transitions montante et descendante va dépendre la précision du système. Ainsi, plus la fenêtre FEN2, correspondant à la transition descendante sera étroite, plus le système sera précis.

10

Le procédé de récupération d'horloge conforme à la présente invention consiste donc à analyser les transitions des signaux de type numérique DATA par rapport aux transitions montante et descendante de l'horloge CK. Comme mentionné ci-dessus, cette analyse est réalisée en utilisant les fenêtres FEN1 et FEN2 qui permettent de déterminer des zones d'analyse, à savoir les zones 1, les zones 2, les zones 3 et les zones 4. Ainsi, pendant un temps d'analyse déterminé, on accumule dans les différentes zones l'information de phase entre les signaux logiques DATA et les différentes zones. A la fin du temps déterminé, les résultats de l'accumulation sont exploités pour en déduire une éventuelle correction de phase et/ou de fréquence. Les répartitions possibles dans les différentes zones sont représentées à la figure 2. Si toutes les informations accumulées se trouvent dans la zone 4, à savoir la zone de la transition descendante, comme symbolisé par AR4 sur la figure 2, on en déduit que le signal CK est en phase avec les signaux logiques DATA et aucune action sur la phase n'est réalisée. Si des informations se trouvent uniquement dans la zone 1, à savoir la zone de palier haut, comme représenté par AR1 sur la figure 2, on en déduit qu'une diminution de phase doit être réalisée. De même, si des informations sont prévues dans la zone 1 (AR1) et dans la zone 3 (DEP3) mais que le niveau de cumul est atteint dans la zone 1 (AR1). Il en est ainsi aussi

lorsque des informations sont présentes dans la zone 1 et dans la zone 4 mais que le cumul est atteint dans la zone 1 ou que des informations sont présentes dans la zone 1 et dans la zone 4 et que le cumul est atteint dans la zone 4 ou encore que des informations sont présentes dans la zone 3 et dans la zone 1 et que le cumul est atteint dans la zone 3. Ceci est symbolisé par AR_i pour le niveau de cumul atteint dans une zone et DEP_i pour la présence d'information dans une zone.

A l'inverse, on réalisera une augmentation du déphasage lorsque les résultats d'accumulation suivants sont atteints. Les informations ne sont présentes que dans la zone 2, à savoir la zone de palier bas. Des informations sont présentes dans la zone 4 et dans la zone 2 mais le cumul est atteint dans la zone 2. Des informations sont présentes dans la zone 2 et dans la zone 3, le niveau de cumul étant atteint dans la zone 2. Des informations sont présentes dans la zone 4 et dans la zone 2, le niveau de cumul étant atteint dans la zone 4. Des informations sont présentes uniquement dans la zone 3 avec un niveau de cumul atteint dans cette zone et des informations sont présentes dans la zone 2 et dans la zone 3 avec le niveau de cumul atteint dans la zone 3.

Une action sur la fréquence sera effectuée lorsque des informations seront présentes dans deux zones non-adjacentes. Ainsi, comme représenté dans le bas de la figure 2, des informations peuvent être présentes dans la zone 1 et dans la zone 2 sans atteindre le niveau de cumul ou des informations peuvent être présentes dans la zone 1 et dans la zone 2 avec un niveau de cumul atteint dans la zone 2 ou des informations peuvent être présentes dans la zone 1 et dans la zone 2 avec un niveau de cumul atteint dans la zone 2. Le niveau de cumul peut être atteint à la fois dans la zone 1 et dans la zone 2, les informations peuvent être présentes dans la zone 3 et dans la zone 4 sans niveau de cumul atteint. Les informations peuvent être présentes dans la zone 3 et dans la zone 4 avec un niveau de cumul atteint dans la zone 4. Des

informations peuvent être présentes dans la zone 3 et dans la zone 4 avec un niveau de cumul atteint dans la zone 3 et des informations peuvent être présentes dans la zone 3 et dans la zone 4 avec le niveau de cumul atteint dans les zones 3 et 4.

5 Le procédé ci-dessus peut être mis en œuvre dans un circuit logique programmable EPLD tel que représenté sur la figure 3 en utilisant une machine d'état dont une représentation symbolique est donnée à la figure 4. L'accumulation de l'information de phase est effectuée dans quatre compteurs CPTZ1, CPTZ2, CPTZ3, CPTZ4, qui accumulent le
10 nombre de transistors par zone. Ces compteurs reçoivent en entrée les signaux FEN2 et FEN1, le signal d'horloge CK et le signal d'horloge inversé CKB. Ils reçoivent aussi les signaux logiques DATA. Chaque comptage est initialisé et autorisé par l'état S2 de la machine d'état. Cet état est l'état d'initialisation des signaux *ar* et *incf* en régime
15 normal. Dans cet état, *ar* signifiant l'autorisation d'accumulation des informations au niveau des compteurs DECODAGEZ1, DECODAGEZ2, DECODAGEZ3, DECODAGEZ4 est à zéro, *infc* = 0 et signifie que l'impulsion qui sert à déterminer l'incrément de fréquence est remis à zéro et *pwm_dec* signifie que l'état du circuit PWM_DEC est maintenu
20 dans l'état précédent. Le signal ARi signifiant que le niveau de cumul est atteint dans une zone, est activé dès que l'un des compteurs CPTZ1, CPTZ2, CPTZ3 et CPTZ4 atteint une valeur finale autorisant ainsi les tests. Le signal DEPi signifiant que des informations sont présentes dans une zone i sera actif si, durant l'analyse, le compteur associé à la zone
25 concernée a quitté son état initial. Cette analyse est réalisée dans les circuits référencés DECODAGEZ1, DECODAGEZ2, DECODAGEZ3, DECODAGEZ4. Ensuite, une zone de test permet de réaliser les tests mentionnés avec référence à la figure 2, à savoir le TEST4 maintenant la phase, le TEST3 réalisant une diminution du déphasage, le TEST2 réalisant une augmentation du déphasage et le TEST1 entraînant une
30 action sur la fréquence dès que l'état ARi est atteint. En fonction du

résultat, le traitement s'orientera soit vers une action de phase, soit vers une action de fréquence. Ainsi, comme représenté sur la figure 3, la sortie du TEST1 correspondant au fait que lorsqu'un circuit plus particulièrement un compteur DECODAGEZ_i a atteint le niveau d'accumulation, des informations sont présentes dans des zones qui ne sont pas adjacentes, passe par l'état S6 de la machine d'état correspondant à tempo = 1, incf = 1, pwm_dec = pwm = init, ce qui signifie que l'information de fréquence est fausse et la temporisation est armée et est envoyée sur un compteur CPTINCF pour réaliser ultérieurement une action sur la fréquence, tandis que les sorties des TEST2, TEST3 et TEST4 à travers respectivement les états S5, S4, S3 sont envoyés sur un circuit PWM DEC permettant de réaliser un comptage ou un décomptage pour une action sur la phase. De manière plus spécifique, la valeur issue du TEST2 signifiant que lorsqu'un compteur DECODAGEZ_i a atteint le niveau d'accumulation, des informations sont présentes dans des zones adjacentes, est envoyée sur l'entrée comptage "up", la valeur issue du TEST3 signifiant que lorsqu'un compteur DECODAGEZ_i a atteint le niveau d'accumulation, des informations sont présentes dans des zones adjacentes, est envoyée sur l'entrée décomptage "down" tandis que la valeur issue du TEST4 signifiant que lorsque le compteur DECODAGEZ₄ a atteint le niveau d'accumulation, aucune information n'est présente dans des zones adjacentes, ne modifie pas la valeur du compteur/décompteur PWM_DEC. De plus, le compteur/décompteur PWM_DEC est chargé sur son entrée "load" par les états S1 et S6 et est déclenché par l'information DATA, comme expliqué ultérieurement.

De manière plus détaillée, les différents états S_i de la machine d'état représentée à la figure 4 correspondent aux états suivants :

S1 : état d'initialisation de la machine d'état. On accède à S1 à la mise sous tension du système.

S2 : état d'initialisation des signaux *ar* et *incf* en régime normal. A chaque fois que l'on passe par S2, *ar* et *incf* sont remis à zéro.

S3 : lorsque l'on est dans cet état, les informations de phase et de fréquence sont correctes. La temporisation est armée.

5 **S4** : lorsque l'on est dans cet état, l'information de fréquence est correcte mais pas celle de phase. Il est nécessaire de diminuer le déphasage. La temporisation est armée.

10 **S5** : lorsque l'on est dans cet état, l'information de fréquence est correcte mais pas celle de phase. Il est donc nécessaire d'augmenter le déphasage. La temporisation est armée.

S6 : lorsque l'on est dans cet état, l'information de fréquence est fausse et la temporisation est armée.

S7 : lorsque l'on est dans cet état, le signal *ar* est mis à 1 et *incf* à 0. Le compteur *pwm_dec[]* est maintenu dans son état précédent.

15 **S8** : lorsque l'on est dans cet état, le signal *ar* est mis à 1 et *incf* à 0. Le compteur *pwm_dec[]* est maintenu dans son état précédent. En fait, cet état est redondant avec S7 et peut être supprimé.

Conformément à la présente invention, le contrôle de la phase est réalisé en utilisant une modulation de largeur d'impulsion ou PWM. Le
20 signal PWM-OUT généré par le circuit EPLD 5 possède un rapport cyclique variable. De ce signal est extrait par un filtre passe-bas tel que le circuit 10 constitué de manière connue d'une résistance R10 et d'une capacité C10, une composante continue. Le résultat en sortie du filtre 10 est donc une tension continue directement proportionnelle au rapport
25 cyclique du signal. A la place d'un circuit de modulation de largeur d'impulsion, on peut aussi utiliser un convertisseur numérique/analogique série. Ainsi, une modification du rapport cyclique induit une modification du seuil de recoupement du signal d'échantillonnage H IN et se traduit par une modification de la phase du signal en sortie de la PLL1. Comme
30 représenté sur la figure 3, le signal PWM est généré à l'aide de deux compteurs, le compteur/décompteur PWM_DEC et le compteur

PWM_CPT qui est un compteur libre comptant entre 0 et 768 par exemple, et qui est initialisé par l'horloge CK. Le compteur/décompteur PWM_DEC couvre la plage 0/255. Il est initialisé au démarrage par l'état S1 et à chaque passage par l'état S6 de la machine d'état. Comme mentionné ci-dessus, l'activation des états S4 ou S5 détermine respectivement soit une incrémentation soit une décrémentation de la valeur précédente du compteur. Le rythme de commutation du compteur est synchrone des signaux DATA et a pour période maximale le cumul des temps d'analyse et de temporisation. Le passage par l'état S3 provoque le maintien de la valeur précédente et le passage par l'état S6 impose le retour à la valeur initiale, soit un rapport cyclique de 50 %. Ce recentrage permet d'éviter un positionnement vers les extrémités qui se traduirait par un état d'instabilité, notamment lorsque le compteur est positionné en 255 et qu'un incrément le ramène à l'état 0. Les signaux issus des circuits PWM_DEC et PWM_CPT sont envoyés en entrée d'un comparateur COMP1 dont la sortie est envoyée sur un circuit T qui reçoit sur son autre entrée la sortie d'un circuit de décodage DEC1 qui positionne le signal PWM_OUT au niveau 1 lorsque le compteur PWM_CPT atteint l'état 256. Le signal PWM_OUT repasse à 0 lorsque les conditions suivantes sont réunies, à savoir le MSB du compteur PWM_CPT est égal à 1 et l'égalité est réalisée entre les 7 bits de poids faibles du compteur PWM_CPT et le compteur PWM_DEC. Le circuit T permet de réaliser une temporisation du signal PWM_OUT de manière à avoir le temps d'appliquer chaque modification sur le déphaseur.

Conformément à la présente invention, la fréquence sera contrôlée par modification du nombre de points du diviseur servant à la PLL1. Dans le circuit EPLD 5, la gestion de la fréquence est réalisée en utilisant deux compteurs CPT PLL et CPT INCF. Le compteur CPT PLL couvre, dans le mode de réalisation représenté, la plage 0,1279 et évolue à chaque transition de l'horloge CK. Il est chargé par l'état S1. Le compteur CPT INCF couvre la plage 0,127 dans le mode de réalisation de

la présente invention. Il est initialisé au démarrage par l'état S1 et son rythme de commutation sera synchrone du signal DATA et aura pour période maximale le cumul des temps d'analyse et de temporisation. Comme déjà mentionné, le compteur CPT INCF est incrémenté par une
5 impulsion INCA générée par l'activation de l'état S6 issu du TEST1.

Dans la présente invention, la recherche de fréquence suit un principe différent de celui de la recherche de phase. Dans la recherche de phase, on réalise une sorte d'asservissement, tandis que la recherche de fréquence est de type empirique. Le point de départ est une valeur
10 correspondant au minimum de la plage de capture. Le compteur CPT INCF est incrémenté jusqu'à vérification des critères de phase. D'autre part, le compteur CPT PLL est remis à zéro lorsque les conditions suivantes sont réalisées : les quatre MSB du compteur CPT PLL sont égaux à " 1000 ", l'égalité est réalisée entre les 6 bits de poids faible du
15 compteur CPT PLL et le compteur CPT INCF, cette dernière condition étant vérifiée à chaque cycle du compteur PWM CPT. De même que pour le compteur PWM_DEC, chaque modification de l'état du compteur CPT INCF est gardée pendant un temps minimum correspondant au temps de temporisation, ceci permet donc d'appliquer chaque
20 modification sur le diviseur. D'autre part, comme représenté sur la figure 3, la sortie du compteur CPT PLL est envoyée sur l'entrée d'un circuit de décodage DEC2 qui reçoit aussi en entrée l'horloge CK et sur l'entrée d'un comparateur COMP2, qui reçoit sur son autre entrée la sortie du circuit CPT INCF de manière à réaliser les opérations de comparaison
25 mentionnées ci-dessus. Le comparateur COMP2 reçoit aussi l'horloge CK. La sortie du comparateur COMP2 est envoyée sur l'entrée inversée du compteur CPT PLL. D'autre part, la sortie du circuit de décodage DEC2 donne le signal H LOCK, signal de comparaison de la PLL, qui passe au niveau lorsque le compteur CPT PLL atteint l'état 0. La récurrence de ce
30 signal est directement liée à la durée d'un cycle du compteur CPT PLL. D'autre part, le circuit EPLD de la figure 3 comporte des circuits

permettant de générer l'état S8. L'état S8 permet le retour en S2 lorsque la temporisation est écoulée, comme représenté sur la figure 4. Pour cet état, l'information-horloge H, en entrée du circuit EPLD, est envoyée sur un intégrateur 11 donnant en sortie un signal FH. Ce signal est envoyé
5 sur un circuit de temporisation qui est initialement chargé par les états S3, S4, S5, S6. La sortie du signal de temporisation est envoyée sur un circuit de décodage DEC3 qui reçoit aussi en entrée l'horloge CK. La sortie du circuit de décodage est envoyée sur une bascule D commutée par le signal DATA CK et, de plus, la sortie du circuit de décodage est
10 rebouclée en entrée du circuit de temporisation.

Différentes modifications et perfectionnements peuvent être apportés au système décrit ci-dessus. Ainsi, l'autorisation du test dépend des états ARI obtenus lorsque l'un des compteurs d'accumulation atteint la valeur VAL FIN qui est fixée par exemple à la valeur 768. Dans ce cas,
15 il est possible de déterminer le temps d'accrochage du système. Ce temps est donné par l'équation suivante :

$$T = (F + P) \times ((\Sigma T_0) + 2 \times 10^{-3})$$

dans laquelle F représente le nombre d'incréments nécessaire pour obtenir la bonne fréquence et P représente le nombre d'incréments
20 nécessaire pour obtenir la bonne phase.

ΣT_0 représente le temps nécessaire pour acquérir les 768 données.

En fait le temps maximal de convergence sera atteint lorsqu'il y aura un seul point par image. Pour une fréquence-image de 50 Hz et pour
25 une fréquence-point située au maximum de la gamme de rattrapage de fréquence et de phase, le temps T est égal à 72 minutes. Ce temps peut être fortement réduit en adaptant la valeur VAL FIN en fonction du débit d'entrée, à savoir en comptant les événements durant une image. D'autre part, en présence d'un seul point par image, les critères de convergence
30 de phase pourront être respectés, bien que la fréquence soit fausse. Pour une meilleure convergence, une solution simple consiste à utiliser à la fois

les fronts montants et les fronts descendants de l'information. Dans ce cas, la précision est fonction de la largeur de l'impulsion et donc de la position en ligne des événements.

De plus, par détection de standard, à savoir comptage du
5 nombre de lignes par image, il est possible de prépositionner le compteur CPT PLL à une valeur initiale telle que la fréquence obtenue, soit en limite base de la gamme de rattrapage visée. Cette opération permettra donc d'optimiser la vitesse de convergence et de limiter les phénomènes de sous ou sur-échantillonnage.

REVENDEICATIONS

1. Procédé de récupération d'horloge lors de l'échantillonnage de signaux de type numérique, l'horloge d'échantillonnage étant générée
5 à partir d'une boucle à verrouillage de phase ou PLL (1) qui multiplie une fréquence donnée par un nombre entier ou « rang de division », caractérisé en ce qu'il comporte une étape de comparaison de la position relative des signaux de type numérique par rapport à l'horloge d'échantillonnage de manière à déterminer si un type de transitions choisi
10 de l'horloge d'échantillonnage est en phase avec le même type de transitions de signaux de type numérique :

- En élaborant (6) sur une période de l'horloge d'échantillonnage plusieurs zones, une zone correspondant au type de transitions choisi,
- 15 • En analysant (5) les transitions des signaux de type numérique par rapport aux transitions montante et descendante de l'horloge d'échantillonnage,
- En accumulant dans la zone correspondante les résultats d'analyse et,
- 20 • En déterminant (10, 9) en fonction des accumulations si une modification ou non de la fréquence et/ou de la phase de l'horloge d'échantillonnage doit être réalisée.

2. Procédé selon la revendication 1, caractérisé en ce que
25 l'étape d'analyse est précédée par une étape de mise en forme des signaux de type numérique en signaux logiques.

3. Procédé selon l'une quelconque des revendications 1 et 2, caractérisé en ce que le type de transition choisi est la transition
30 descendante.

4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que l'on élabore quatre zones avec une zone correspondant à une transition montante, une zone correspondant à une transition descendante, une zone correspondant à un palier haut et une zone correspondant à un palier bas.

5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce que l'analyse est réalisée à l'aide de deux fenêtres correspondant respectivement aux transitions montante et descendante de l'horloge d'échantillonnage.

6. Procédé selon l'une quelconque des revendications 1 à 5, caractérisé en ce que les résultats des accumulations sont exploités de la façon suivante :

- a) Toutes les informations sont dans la zone correspondant au type de transitions choisi, les signaux de type numérique sont en phase et en fréquence avec l'horloge d'échantillonnage ;
- b) Les informations sont dans deux zones non-adjacentes, il y a une erreur de fréquence entre les signaux de type numérique et l'horloge d'échantillonnage ;
- c) Les informations sont dans deux zones adjacentes ou dans une seule zone différente de la zone correspondante au type de transitions choisi, il y a une erreur de phase entre les signaux de type numérique et l'horloge d'échantillonnage.

7. Procédé selon la revendication 6, caractérisé en ce que les valeurs relatives des informations dans deux zones différentes ou la valeur des informations dans une zone différente de la zone correspondant au type de transitions choisi déterminent le sens et

l'amplitude de la correction de phase ou de fréquence à appliquer sur l'horloge d'échantillonnage.

8. Dispositif pour la mise en œuvre du procédé selon l'une
5 quelconque des revendications 1 à 7, caractérisé en ce qu'il comporte un
circuit électronique programmable effaçable recevant les signaux de type
numérique en entrée ainsi que des signaux pour déterminer la position
des différentes zones, ledit circuit électronique programmable effaçable
délivrant en sortie un signal d'erreur de phase envoyé sur un circuit à
10 modulation de largeur d'impulsion dont la sortie agit sur la PLL.

9. Dispositif selon la revendication 8, caractérisé en ce que les
signaux pour déterminer la position des différentes zones sont obtenus
par un circuit en logique combinatoire traitant le signal issu de la PLL.

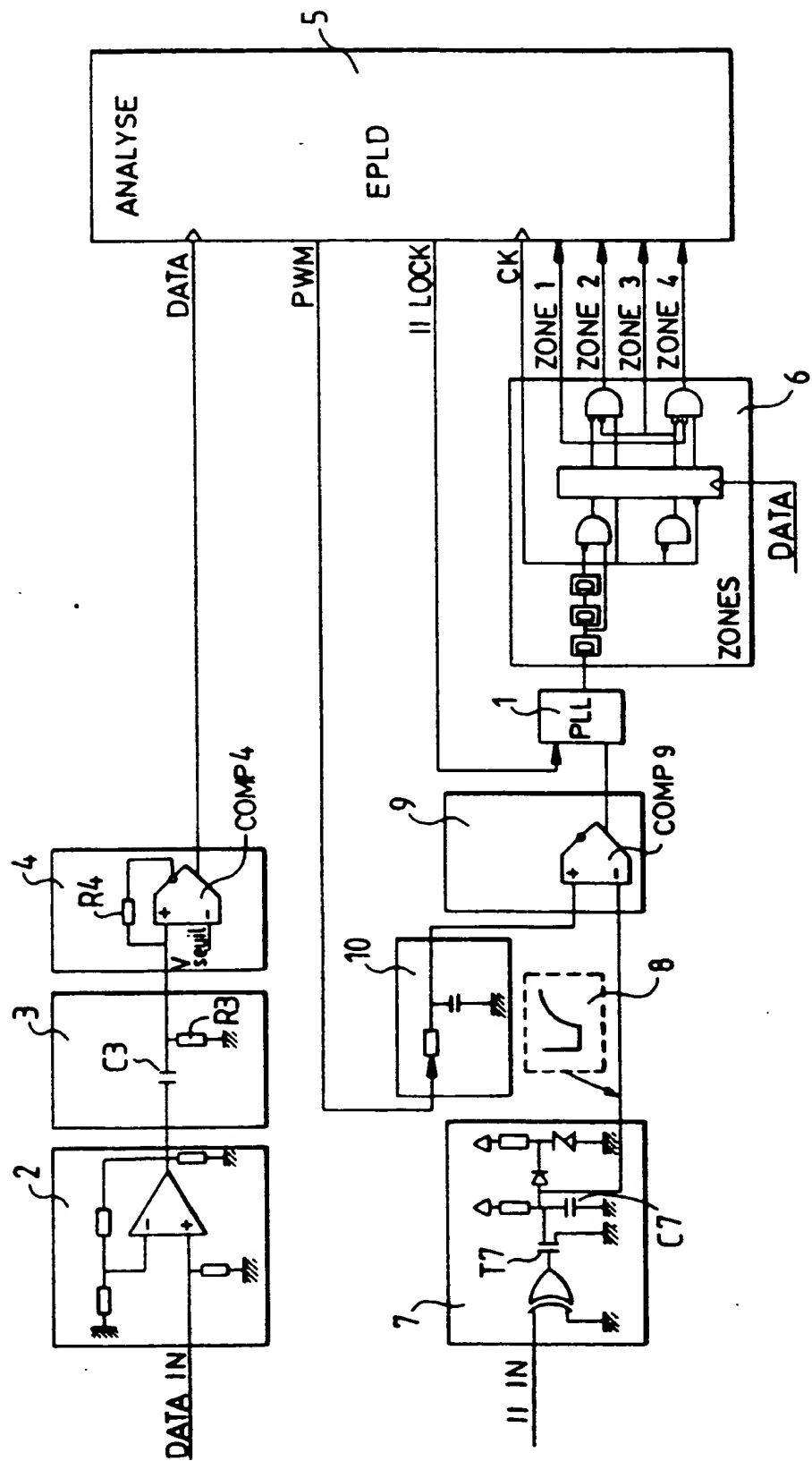


FIG.1



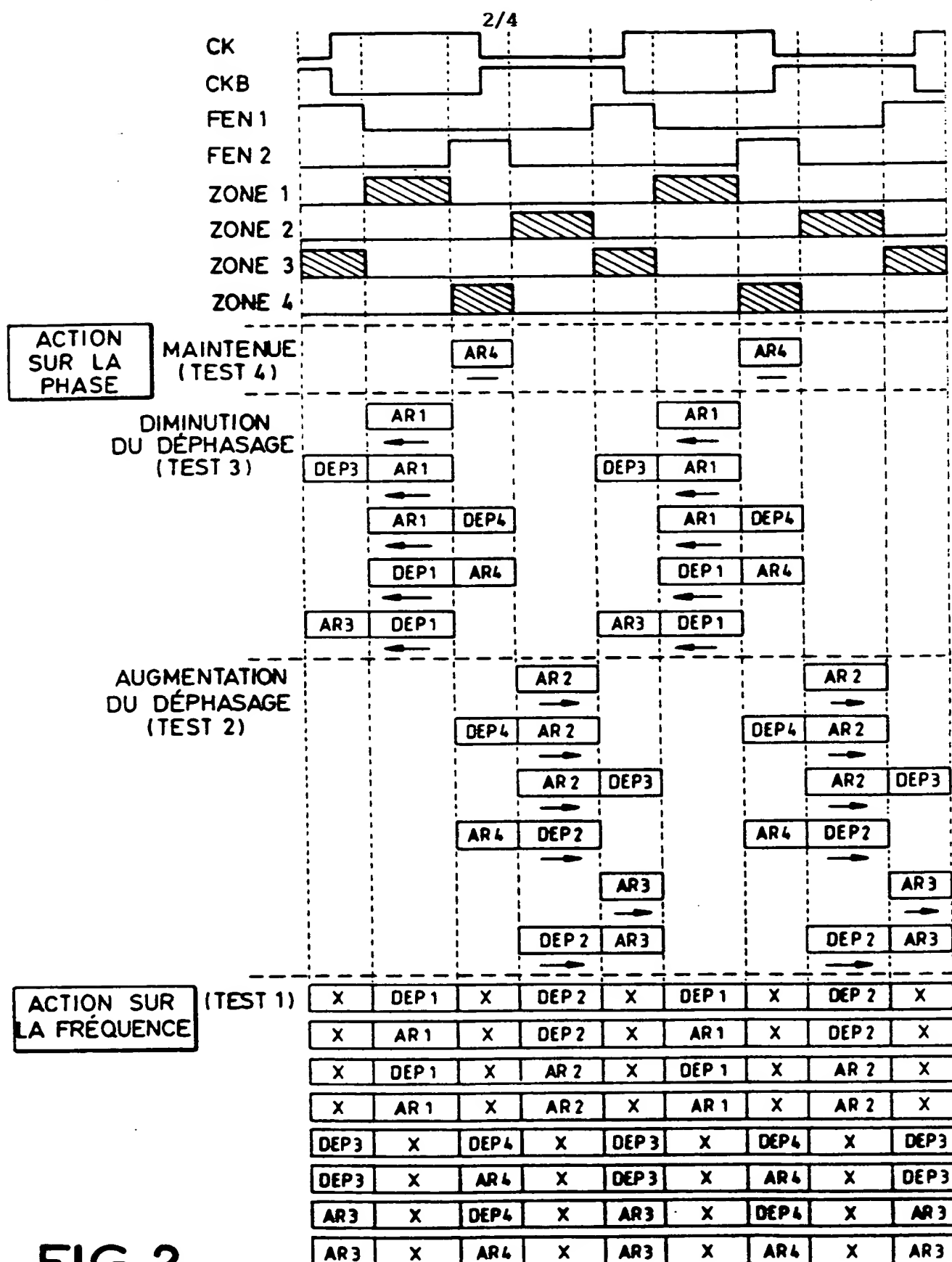


FIG. 2

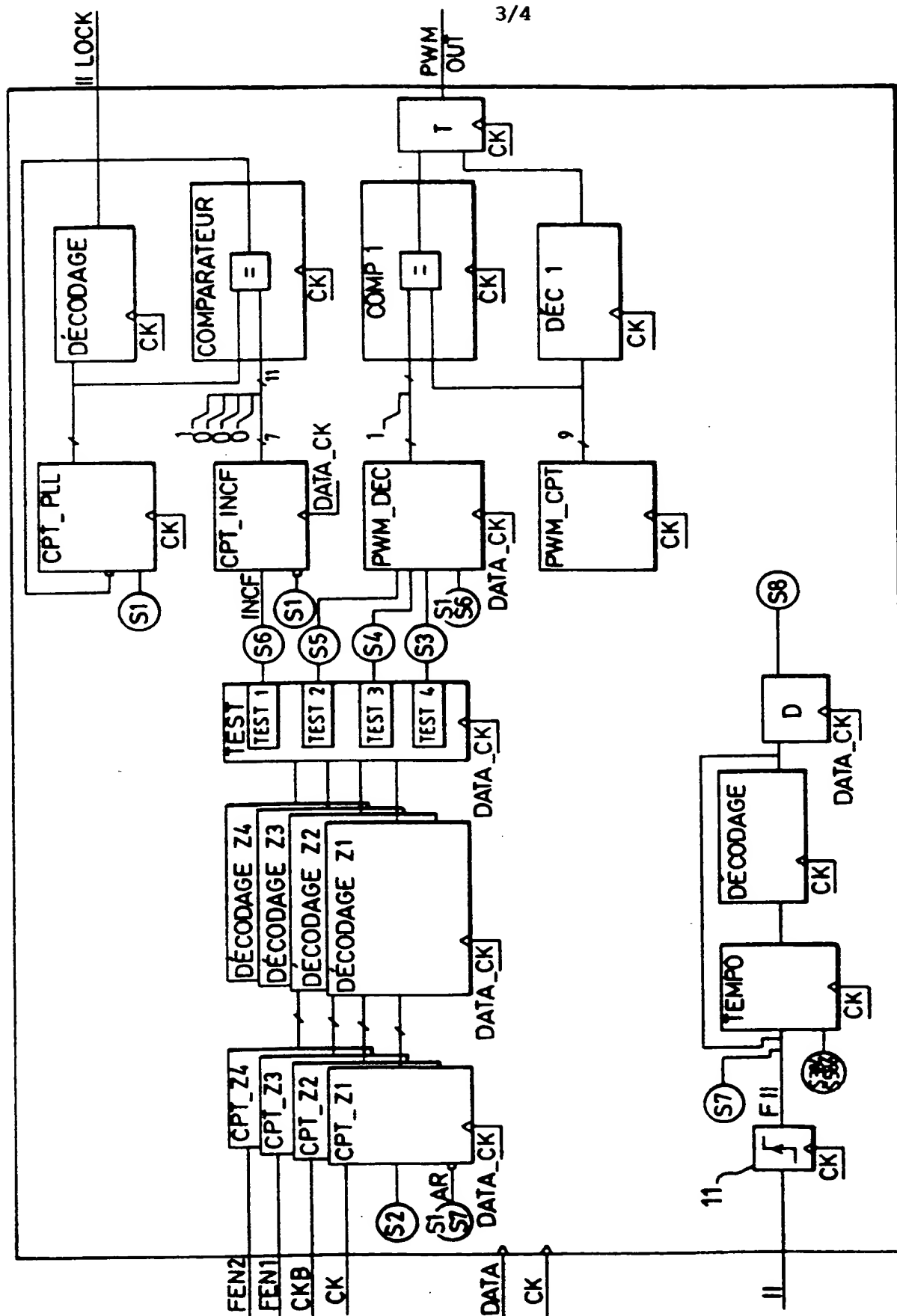


FIG. 3



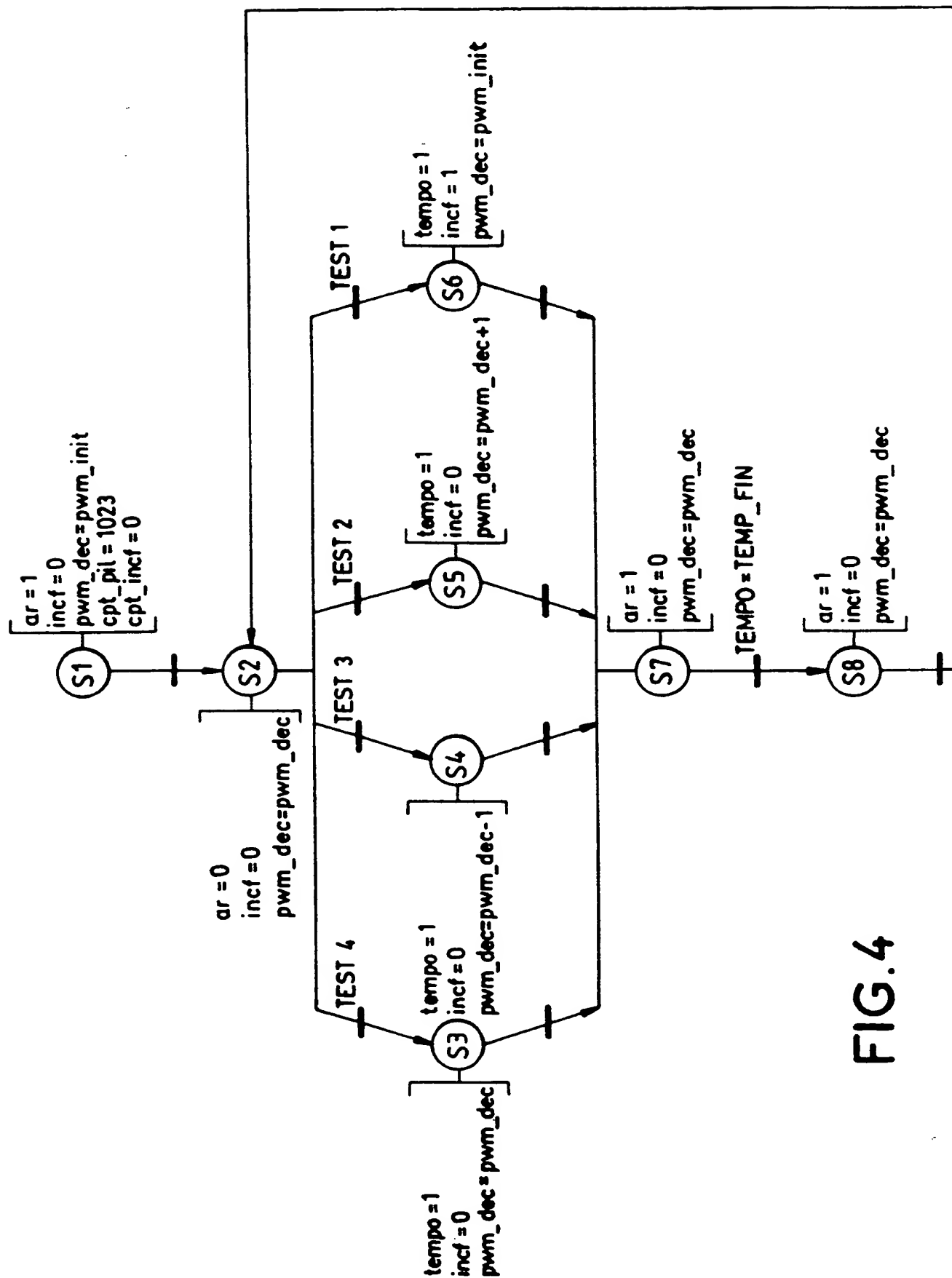


FIG. 4



INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 99/01768

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H04L7/033

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H04L G11B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 020 205 A (THOMSON CSF) 10 December 1980 (1980-12-10) page 1, line 21 -page 2, line 3 page 3, line 8 - line 33 page 4, line 29 - line 33 page 5, line 20 -page 6, line 2 page 6, line 23 -page 7, line 17 figures 1,2 ---	1-4
X	WO 91 19358 A (MOTOROLA INC) 12 December 1991 (1991-12-12) page 6, line 14 -page 7, line 8 page 8, line 3 - line 16 page 10, line 3 -page 11, line 2 page 18, line 1 - line 12; figures 3,5,6 ---	1-4
A	---	5,6
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

22 September 1999

Date of mailing of the international search report

29/09/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040. Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Pieper, T

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 99/01768

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 812 079 A (MATSUSHITA ELECTRIC IND CO LTD) 10 December 1997 (1997-12-10) page 9, line 8 - line 59 figures 3-5 ----	1-4
A	US 4 280 099 A (RATTLINGOURD GLEN D) 21 July 1981 (1981-07-21) column 2, line 37 -column 3, line 12 figure 1 ----	5-7
A	EP 0 614 281 A (ADVANCED MICRO DEVICES INC) 7 September 1994 (1994-09-07) page 3, line 27 - line 40 page 4, line 2 - line 26 page 6, line 13 - line 47 page 7, line 2 - line 42 page 8, line 33 - line 43; figures 1A,1B,2C,3 ----	1-7
A	EP 0 345 564 A (SEL ALCATEL AG) 13 December 1989 (1989-12-13) page 2, line 46 -page 3, line 4 page 4, line 5 - line 32 page 5, line 15 - line 19; figures 2-4 -----	8,9

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 99/01768

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0020205 A	10-12-1980	FR 2458181 A CA 1153804 A US 4352195 A	26-12-1980 13-09-1983 28-09-1982
WO 9119358 A	12-12-1991	US 5140702 A AT 177884 T DE 69131012 D EP 0532552 A KR 9700387 B	18-08-1992 15-04-1999 22-04-1999 24-03-1993 09-01-1997
EP 0812079 A	10-12-1997	JP 10215289 A CN 1175151 A	11-08-1998 04-03-1998
US 4280099 A	21-07-1981	NONE	
EP 0614281 A	07-09-1994	US 5400370 A JP 6303224 A	21-03-1995 28-10-1994
EP 0345564 A	13-12-1989	DE 3818843 A AT 117482 T CA 1308448 A CN 1038736 A,B DE 58908897 D ES 2070143 T FI 892643 A,B, JP 2026843 C JP 2050643 A JP 7061067 B MX 170655 B NO 180138 B PT 90723 A US 5025461 A	07-12-1989 15-02-1995 06-10-1992 10-01-1990 02-03-1995 01-06-1995 04-12-1989 26-02-1996 20-02-1990 28-06-1995 03-09-1993 11-11-1996 29-12-1989 18-06-1991

RAPPORT DE RECHERCHE INTERNATIONALE

Recherche Internationale No

EUR/FR 99/01768

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H04L7/033

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H04L G11B

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	EP 0 020 205 A (THOMSON CSF) 10 décembre 1980 (1980-12-10) page 1, ligne 21 -page 2, ligne 3 page 3, ligne 8 - ligne 33 page 4, ligne 29 - ligne 33 page 5, ligne 20 -page 6, ligne 2 page 6, ligne 23 -page 7, ligne 17 figures 1,2 ---	1-4
X	WO 91 19358 A (MOTOROLA INC) 12 décembre 1991 (1991-12-12) page 6, ligne 14 -page 7, ligne 8 page 8, ligne 3 - ligne 16 page 10, ligne 3 -page 11, ligne 2 page 18, ligne 1 - ligne 12; figures 3,5,6 ---	1-4
A	---	5,6
	-/--	

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

22 septembre 1999

Date d'expédition du présent rapport de recherche internationale

29/09/1999

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Europeen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Pieper, T

RAPPORT DE RECHERCHE INTERNATIONALE

D. Internationale No
PCT/FR 99/01768

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	EP 0 812 079 A (MATSUSHITA ELECTRIC IND CO LTD) 10 décembre 1997 (1997-12-10) page 9, ligne 8 - ligne 59 figures 3-5 ---	1-4
A	US 4 280 099 A (RATTLINGOURD GLEN D) 21 juillet 1981 (1981-07-21) colonne 2, ligne 37 - colonne 3, ligne 12 figure 1 ---	5-7
A	EP 0 614 281 A (ADVANCED MICRO DEVICES INC) 7 septembre 1994 (1994-09-07) page 3, ligne 27 - ligne 40 page 4, ligne 2 - ligne 26 page 6, ligne 13 - ligne 47 page 7, ligne 2 - ligne 42 page 8, ligne 33 - ligne 43; figures 1A, 1B, 2C, 3 ---	1-7
A	EP 0 345 564 A (SEL ALCATEL AG) 13 décembre 1989 (1989-12-13) page 2, ligne 46 - page 3, ligne 4 page 4, ligne 5 - ligne 32 page 5, ligne 15 - ligne 19; figures 2-4 -----	8,9

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Requête internationale No

PCT/FR 99/01768

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0020205 A	10-12-1980	FR 2458181 A CA 1153804 A US 4352195 A	26-12-1980 13-09-1983 28-09-1982
WO 9119358 A	12-12-1991	US 5140702 A AT 177884 T DE 69131012 D EP 0532552 A KR 9700387 B	18-08-1992 15-04-1999 22-04-1999 24-03-1993 09-01-1997
EP 0812079 A	10-12-1997	JP 10215289 A CN 1175151 A	11-08-1998 04-03-1998
US 4280099 A	21-07-1981	AUCUN	
EP 0614281 A	07-09-1994	US 5400370 A JP 6303224 A	21-03-1995 28-10-1994
EP 0345564 A	13-12-1989	DE 3818843 A AT 117482 T CA 1308448 A CN 1038736 A, B DE 58908897 D ES 2070143 T FI 892643 A, B, JP 2026843 C JP 2050643 A JP 7061067 B MX 170655 B NO 180138 B PT 90723 A US 5025461 A	07-12-1989 15-02-1995 06-10-1992 10-01-1990 02-03-1995 01-06-1995 04-12-1989 26-02-1996 20-02-1990 28-06-1995 03-09-1993 11-11-1996 29-12-1989 18-06-1991

This Page Blank (uspto)